

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-069201
 (43)Date of publication of application : 11.03.1994

(51)Int.Cl. H01L 21/3205
 H01L 21/302

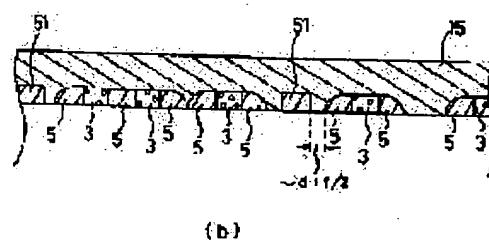
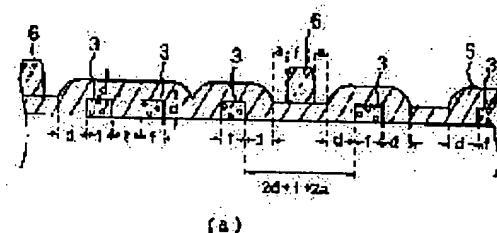
(21)Application number : 04-222538 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 21.08.1992 (72)Inventor : EMA TAIJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a multilayer wiring which is so flattened as to eliminate any difference in height of an insulating film formed in the dense part and the sparse part of a wiring without the increase of parasitic capacitance and the difficulty of etching control in a semiconductor device and its manufacture.

CONSTITUTION: This semiconductor device is constituted of a wiring pattern in which the thickness of a wiring 3 is d and the minimum width of the wiring 3 and the minimum interval therebetween are f, a first insulating film 51 formed with the width of at least not less than f and the thickness of about d in the region where the wiring interval of the wiring pattern exceeds $2d+2f$ and also in the outside region of the outermost circumference wiring pattern so that a distance from the wiring pattern is about $d+f/2$ and a second insulating film 15 so formed as to cover the first insulating pattern 51 and the wiring pattern and to fill up a recessed part between both patterns.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-69201

(43)公開日 平成6年(1994)3月11日

(51) Int.Cl. ⁵ H 01 L 21/3205 21/302	識別記号 L 9277-4M 7514-4M	序内整理番号 F I H 01 L 21/88	技術表示箇所 K
---	------------------------------	-------------------------------	-------------

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号 特願平4-222538	(71)出願人 000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日 平成4年(1992)8月21日	(72)発明者 江間 泰示 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

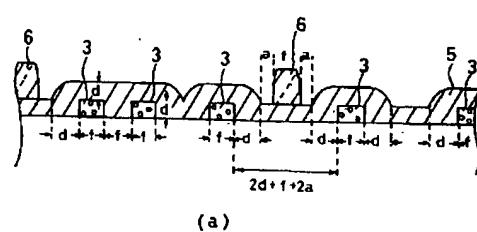
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

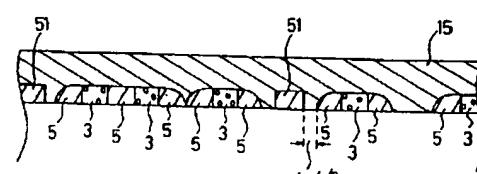
【目的】 半導体装置及びその製造方法に関し、寄生容量の増加を招くことなく、また、エッチング制御の困難さを伴うことなく配線の密な部分と疎な部分とに形成される絶縁膜の高低差をなくして平坦化された多層配線を有する半導体装置を提供することを目的とする。

【構成】 配線3の厚さがdであり、配線3の最小幅と配線相互間の最小間隔とがfである配線パターンと、配線パターンの配線間隔が $2d+2f$ を越える領域と最外周配線パターンの外側の領域とに、配線パターンからの距離がおむね $d+f/2$ となるように形成され、幅が少なくともf以上であり、厚さがおむねdに等しい第1絶縁膜パターン51と、第1絶縁膜パターン51と配線パターンとを覆い、両パターン間の凹部を埋め込む第2絶縁膜15とをもって構成される。

原理説明図



(a)



(b)

(2)

特開平6-69201

【特許請求の範囲】

【請求項1】 配線(3)の厚さがdであり、配線(3)の最小幅がfであり、配線相互間の最小間隔がfである配線パターンと、

該配線パターンの配線間隔が $2d + 2f$ を越える領域と最外周配線パターンの外側の領域とに、該配線パターンからの距離がおむね $d + f/2$ となるように形成され、幅が少なくともf以上であり、厚さがおむねdに等しい第1絶縁膜パターン(51)と、

該第1絶縁膜パターン(51)と前記配線パターンとを覆い、両パターン間の凹部を埋め込む第2絶縁膜(15)とを有することを特徴とする半導体装置。

【請求項2】 前記第2絶縁膜(15)の厚さはfと2fとの間にあることを特徴とする請求項1記載の半導体装置。

【請求項3】 絶縁膜(2)上に、配線(3)の厚さがdであり、配線(3)の最小幅がfであり、配線相互間の最小間隔がfである配線パターンを形成する工程と、該配線パターンを覆って厚さがおむねdである第1絶縁膜(5)を形成する工程と、

前記配線パターンの間隔が $2d + 2f$ を越える領域と最外周配線パターンの外側の領域とに、配線からおむね $d + f/2$ の距離に幅が少なくともfのマスクパターン(6)を前記第1絶縁膜(5)上に形成する工程と、

該マスクパターン(6)をマスクとして、前記第1絶縁膜(5)を垂直にエッチング除去して第1絶縁膜パターン(51)を形成した後、該マスクパターン(6)を除去する工程と、

前記配線パターンと前記第1絶縁膜パターン(51)との間の凹部を埋め込み、両パターンを覆う第2絶縁膜(15)を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法、特に、アルミニウム等の配線が多層に形成される半導体装置において、配線が密な領域と疎な領域における層間絶縁膜の高低差をなくして平坦化する方法に関する。

【0002】

【従来の技術】 配線パターン上に形成される絶縁膜の高低差をなくして平坦化する方法として以下の方法が知られている。

(1) 特開昭62-098646に、配線パターンに密な部分と疎な部分とが形成されると、両者間においてその上に形成される絶縁膜に配線の厚さに相当する高低差が発生し、絶縁膜上に上層配線を形成するときの露光装置の焦点深度との関連において問題になることが記載されており、この問題を解決する手段として配線の疎な部分にダミー配線を形成する方法が開示されている。

(2) 特開昭63-092042には、配線パターン上に絶縁膜を形成した後、全面にフォトレジスト等の有機膜を塗布して表面を平坦化し、次いで有機膜と絶縁膜とのエッチング速度が同一となる条件で両者をエッチング除去して完全な平坦化面を形成し、次いでこの平坦化面上に絶縁膜を成長する方法が開示されている。

(3) S. W. Pang et al, J. Vac. Sci. Technol., B8(6), 1990, pp1980-1984には、完全な平坦化はフォトレジストでは困難であることと、プラズマCVD法で形成したアモルファスカーボン膜ならばこれが可能であることが記載されている。

(4) S. R. Wilson et al, Solid State Technology, Nov. 1991, pp67-71には、有機膜による完全な平坦化は困難であるとして、配線が疎な部分にフォトレジストパターンを形成し、次いで有機膜を全面に塗布して完全な平坦化を行った後、有機膜とフォトレジスト膜と絶縁膜とのエッチング速度を同一にしてこれらをエッチング除去して平坦化し、次いで絶縁膜を全面に成長する方法が記載されている。

【0003】

【発明が解決しようとする課題】 従来技術の(1)においては、ダミー配線を設けているため、その上に形成される配線との間の寄生容量が増加して半導体装置の動作特性上好ましくない。また、半導体チップのスクライプ領域にまでダミー配線を形成した場合には、チップスクライプ時にこの金属配線のバリが発生し、これがボンディングワイヤと短絡する等の不具合が生ずるし、また、スクライプ領域にダミー配線を形成しない場合にはスクライプ領域とチップ領域との高低差は解消されず、フォトレジストの塗布むら等の不具合が発生する。このように、ダミー配線を形成する方法は、部分的には問題を解決するが、満足できるものではない。

【0004】 従来技術の(2)、(3)、(4)に共通している問題点は、有機膜と絶縁膜とのエッチング速度を同一にして、これらを同時にエッチング除去することである。ところが、異なる物質のエッチング速度を同一に制御することは、各種エッチングパラメータが少しでも変化すると達成できず、したがって極めて不安定である。また、スクライプ領域に関する記載は全くない。

【0005】 本発明の目的は、これらの欠点を解消することにあり、寄生容量の増加を招くことなく、また、エッチング制御の困難さを伴うことなく配線の密な部分と疎な部分とに形成される絶縁膜の高低差をなくして平坦化する方法とその方法を使用して製造された多層配線を有する半導体装置とを提供することにある。

【0006】

【課題を解決するための手段】 上記の目的のうち、半導体装置は、配線(3)の厚さがdであり、配線(3)の最小幅がfであり、配線相互間の最小間隔がfである配線パターンと、この配線パターンの配線間隔が $2d + 2f$

(3)

特開平6-69201

3

f を越える領域と最外周配線パターンの外側の領域とに、この配線パターンからの距離がおむね $d + f/2$ となるように形成され、幅が少なくとも f 以上であり、厚さがおむね d に等しい第1絶縁膜パターン(51)と、この第1絶縁膜パターン(51)と前記の配線パターンとを覆い、両パターン間の凹部を埋め込む第2絶縁膜(15)とを有する半導体装置によって達成される。

【0007】なお、前記の第2絶縁膜(15)の厚さは f と $2f$ との間にあることが好ましい。

【0008】上記の目的のうち、半導体装置の製造方法は、絶縁膜(2)上に、配線(3)の厚さが d であり、配線(3)の最小幅が f であり、配線相互間の最小間隔が f である配線パターンを形成する工程と、この配線パターンを覆って厚さがおむね d である第1絶縁膜(5)を形成する工程と、前記の配線パターンの間隔が $2d + 2f$ を越える領域と最外周配線パターンの外側の領域とに、配線からおむね $d + f/2$ の距離に幅が少なくとも f のマスクパターン(6)を前記の第1絶縁膜(5)上に形成する工程と、このマスクパターン(6)をマスクとして、前記の第1絶縁膜(5)を垂直にエッチング除去して第1絶縁膜パターン(51)を形成した後、このマスクパターン(6)を除去する工程と、前記の配線パターンと前記の第1絶縁膜パターン(51)との間の凹部を埋め込み、両パターンを覆う第2絶縁膜(15)を形成する工程とを有する半導体装置の製造方法によって達成される。

【0009】

【作用】図1(b)に示す第1絶縁膜パターン51は、図1(a)に示すように、最小線幅と最小間隔とが f であり、厚さが d である配線パターン3を覆って厚さ d の第1絶縁膜5を形成し、この上にマスクパターン6を形成してエッチングすることによって、形成される。

【0010】第1絶縁膜5をバーニングして第1絶縁膜パターン51を形成するのに使用されるマスクパターン6の最小幅は解像限界によって決められ、配線の最小幅と同じく f である。また、このマスクパターン6が第1絶縁膜5の盛り上がった部分にかかると、第1絶縁膜パターン51に不所望の凸部が形成されるため盛り上がり部分にかかるないようにする必要がある。したがって、位置合わせ余裕 a を考慮すると、図1(a)に示すように、第1絶縁膜パターン51は配線間隔が $(2d + f + 2a)$ 以上の領域のみに形成可能である。一般に、位置合わせ余裕 a はマスクパターンの最小幅 f の $1/2 \sim 1/3$ 程度であるから、第1絶縁膜パターン51が形成可能なのは配線間隔が $(2d + 2f)$ 以上の領域であり、これ以下の領域には第1絶縁膜パターン51は形成できない。また、第1絶縁膜パターン51は配線3からおむね $d + f/2$ 離隔したところに形成されることになる。

【0011】なお、絶縁膜パターン51のマスクデータは、配線パターンのデータから以下に示すように自動的

4

に作成することができる。

(1) まず、配線パターンのデータが図2(a)に示すように、線幅が f であり、間隔がそれぞれ f と $2d + 2f$ と $2d + 3f$ であるとする。

(2) 配線データを片側 $(d + f)$ づゝ両側に太くし、重なった部分は図2(b)に示すように、一つのパターンとして認識する。

(3) 図2(c)に示すように、(b)のデータを反転する。

10 (4) 図3(a)に記号Bをもって示すように、反転データを片側 $f/2$ づゝ両側に太らせる。なお、図2(a)に示す配線パターンを図中に記号Aをもって示す。

【0012】このようにして作製されたデータを使用して絶縁膜パターン形成用マスクを作製し、このマスクを使用してマスクパターン6を作製して第1絶縁膜5を異方性エッチングすると、図3(b)に示すように、配線3の側面には第1絶縁膜の厚さ d に相当する幅 d の絶縁膜5が残留し、配線間隔が $2d + 2f$ 以上のところには、配線3からおむね $d + f/2$ 離隔したところにダメーの第1絶縁膜パターン51が形成され、配線間に形成される凹部14の最大幅は $2f$ となる。

20 21 【0013】この凹部14を完全に埋め込み、図3(c)に示すように、平坦な第2の絶縁膜15を形成するには、第2絶縁膜の厚さは f 以上必要であり、望ましくは $2f$ 程度が必要となる。余り厚いと、そこに形成されるピアホールの深さが深くなったり、絶縁膜成長のスルーブットが低下したりする不都合が生じ、 $2f$ 程度が最適であることを実験により確認した。

30 【0014】このように、本発明はこれまで開示されていなかった平坦化のための最適化条件を明確に確立したところに特徴がある。

【0015】また、スクライプ領域にも絶縁膜パターンを形成しているので、スクライプ領域を含めて完全に平坦な表面を実現している。したがって、フォトレジストを塗布する際に、スクライプ領域等の凹部に液が溜まって塗布むらが生ずるようになることはなくなる。なお、このスクライプ領域の絶縁膜は製造工程の最後に除去するため、チップ切り出し時のクラック等が素子領域にまで波及するといった不具合は発生しない。

【0016】

【実施例】以下、図面を参照して、本発明の一実施例に係る多層配線の形成方法について説明する。

【0017】図4(a)参照

半導体基板1上に絶縁膜2を介してアルミニウム配線3を形成する。配線の厚さは $0.5 \mu\text{m}$ であり、最小線幅と最小配線間隔はそれぞれ $0.5 \mu\text{m}$ である。

【0018】図4(b)参照

プラズマCVD法を使用し、シラン(SiH_4)とアンモニア(NH_3)と酸素(O_2)とを反応させてシリコ

(4)

特開平6-69201

6

5
ンオキシナイトライド(SiON)膜4を100nm厚に形成する。なお、この時の反応室の圧力は1Torrであり、温度は300°Cであり、印加する高周波電力の周波数は13.56MHzである。次いで、常圧CVD法を使用し、400°Cの温度でテトラエチルオルソシリケート(TEOS)とオゾン(O₃)との混合ガスを分解してノンドープドシリケートガラス(NSG)膜5を500nm厚に形成する。

【0019】図5(a)参照

通常のフォトリソグラフィー法を使用して、配線間隔が〔(配線厚さ)+(配線最小幅)〕×2=(0.5+0.5)×2=2μm以上の領域とスクリープ領域とに配線から(絶縁膜厚さ)+(最小線幅/2)=0.5+0.5/2=0.75μm程度離れたマスクパターン6をフォトレジストにより形成する。このマスクパターン6のマスクデータは作用の項で説明したように、配線パターンデータから自動的に求められている。

【0020】図5(b)参照

マスクパターン6をマスクとして、NSG膜5を反応性イオンエッティング(RIE)法を使用してエッティングしてNSG膜パターン51を形成する。この時、SiON膜4が露出するとエッティング速度が変化するのに対応してプラズマの発光が変化することを利用してエッティング終点を検出する。これはアルミニウム配線表面をRIEに曝すことによるエレクトロマイプレーション等の発生と、過剰エッティングによる凹凸の増大とを防止する上で重要である。なお、こゝではエッティングストップとしてSiONを使用したがAl₂O₃を使用してもよい。エッティング後、マスクパターン6を除去する。

【0021】図6(a)参照

常圧CVD法を使用して、TEOSとO₃との混合ガスを分解してNSG膜7を800nm厚に形成する。これにより、狭い凹部は埋め込まれ、基板表面全体にわたって平坦で高低差のない完全平坦化が達成される。

【0022】図6(b)参照

通常のフォトリソグラフィー法を使用して、NSG膜7にピアホール8を開口し、次いで、スパッタ法を使用して、ピアホール8を埋めてNSG膜7上にアルミニウム膜を500nm厚に形成し、これをパターニングして第2層目配線9を形成する。次いで、前記と同様にして平坦化を実施し、さらに同様にして第3層目配線10を形成する。

【0023】次いで、CVD法を使用してPSG膜を200nm厚に形成し、その上に窒化シリコン(SiN)膜を1μm厚に形成する。(図には、PSG膜とSiN膜とを一体化して記号11で表示してある。)次いで、ス

クライプ領域12の絶縁膜を除去し、ボンディング用パッド上に開口13を形成する。

【0024】距離、厚さ等は「おゝむね」と示したが、半導体装置製造工程では多少なりとも何らかの影響を被り必ずしも設計通りには形成できないことが少くない。目標値として前記した距離や厚さを規定した通りの値に製造すれば、本願の効果は得られるものであるとの意味で、おゝむねと記載したものである。したがって、製造工程中で当然考えられるプロセスマージンの範囲で距離、厚さ等の規定した数値は変動しても構わないというものである。

【0025】

【発明の効果】以上説明したとおり、本発明に係る半導体装置及びその製造方法においては、マスクの位置合わせ余裕を考慮しながら配線間に形成可能な最大限の大きさのダミーの第1絶縁膜パターンを形成した後第2絶縁膜を形成しているので、寄生容量の増加を伴うことなく、また、種類の異なる物質を同一エッティング速度でエッティングするというエッティングの困難性を伴うことなく、配線の密な部分と疎な部分とに形成される絶縁膜の高低差をなくして平坦化することができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】絶縁膜パターンのデータ作成方法説明図である。

【図3】絶縁膜パターンのデータ作成方法説明図である。

【図4】多層配線形成工程図である。

【図5】多層配線形成工程図である。

【図6】多層配線形成工程図である。

【符号の説明】

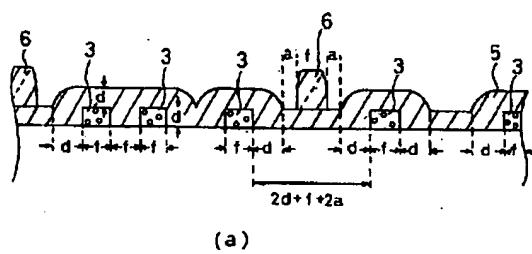
1	半導体基板
2	絶縁膜
3	配線パターン
4	SiON膜
5	第1絶縁膜(NSG膜)
51	第1絶縁膜パターン(NSG膜パターン)
6	マスクパターン
7	第2絶縁膜(NSG膜)
8	スルーホール
9	第2層目配線
10	第3層目配線
11	PSG膜+SiN膜
12	スクリープ領域
13	開口

(5)

特開平6-69201

【図1】

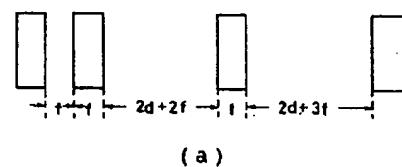
原理説明図



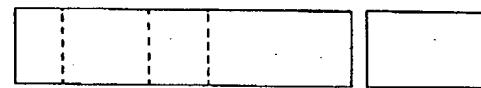
(a)

【図2】

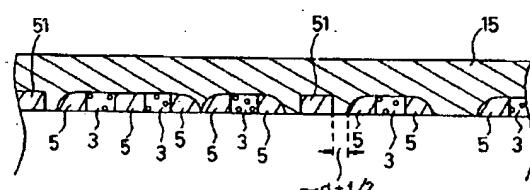
絶縁膜パターンデータ作成方法



(a)



(b)



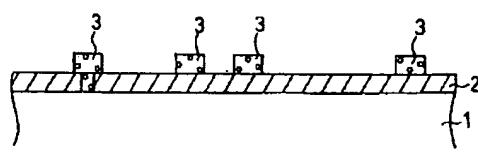
(b)



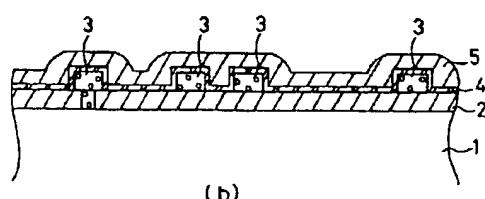
(c)

【図4】

多層配線形成工程図



(a)



(b)

(6)

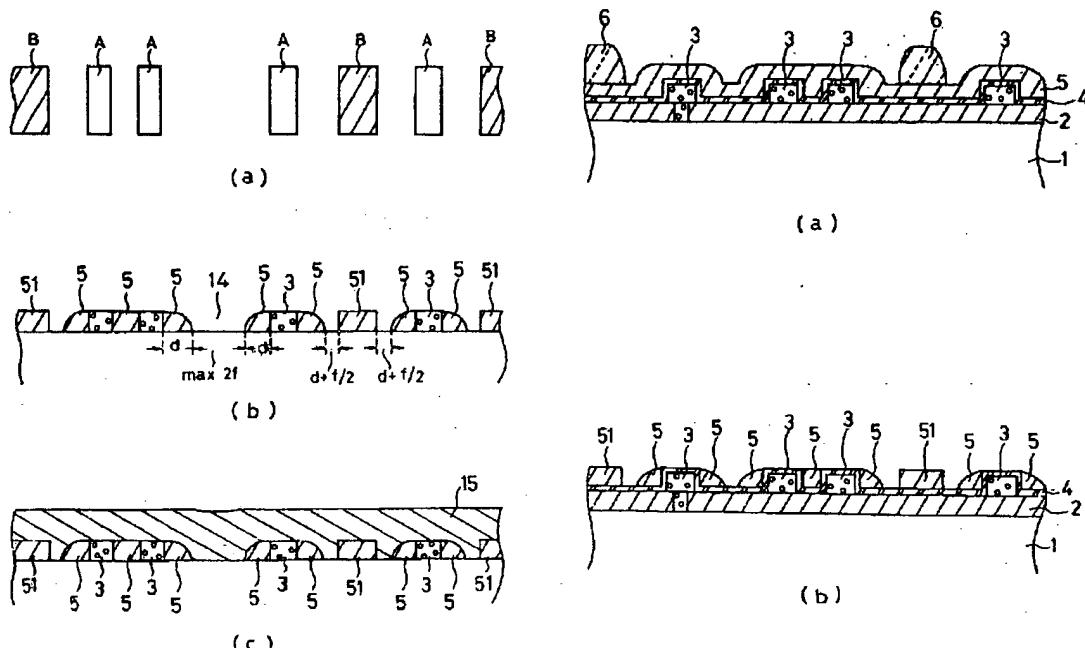
特開平6-69201

[図3]

[図5]

絶縁膜パターンデータ作成方法

多層配線形成工程図



【四】6】

多層配線形成工程図

